

E15

④ 日本国特許庁(JP)

⑤ 特許出願公開

⑥ 公開特許公報(A) 昭64-29951

⑦ Int. Cl.  
G 06 F 12/00

⑧ 特 願 昭62-185253  
⑨ 出 願 昭62(1987)7月24日  
⑩ 出 願 昭62(1987)7月24日  
⑪ 出 願 昭62(1987)7月24日  
⑫ 出 願 昭62(1987)7月24日  
⑬ 出 願 昭62(1987)7月24日  
⑭ 出 願 昭62(1987)7月24日  
⑮ 出 願 昭62(1987)7月24日  
⑯ 出 願 昭62(1987)7月24日  
⑰ 出 願 昭62(1987)7月24日  
⑱ 出 願 昭62(1987)7月24日  
⑲ 出 願 昭62(1987)7月24日  
⑳ 出 願 昭62(1987)7月24日  
㉑ 出 願 昭62(1987)7月24日  
㉒ 出 願 昭62(1987)7月24日  
㉓ 出 願 昭62(1987)7月24日  
㉔ 出 願 昭62(1987)7月24日  
㉕ 出 願 昭62(1987)7月24日  
㉖ 出 願 昭62(1987)7月24日  
㉗ 出 願 昭62(1987)7月24日  
㉘ 出 願 昭62(1987)7月24日  
㉙ 出 願 昭62(1987)7月24日  
㉚ 出 願 昭62(1987)7月24日  
㉛ 出 願 昭62(1987)7月24日  
㉜ 出 願 昭62(1987)7月24日  
㉝ 出 願 昭62(1987)7月24日  
㉞ 出 願 昭62(1987)7月24日  
㉟ 出 願 昭62(1987)7月24日  
㊱ 出 願 昭62(1987)7月24日  
㊲ 出 願 昭62(1987)7月24日  
㊳ 出 願 昭62(1987)7月24日  
㊴ 出 願 昭62(1987)7月24日  
㊵ 出 願 昭62(1987)7月24日  
㊶ 出 願 昭62(1987)7月24日  
㊷ 出 願 昭62(1987)7月24日  
㊸ 出 願 昭62(1987)7月24日  
㊹ 出 願 昭62(1987)7月24日  
㊺ 出 願 昭62(1987)7月24日  
㊻ 出 願 昭62(1987)7月24日  
㊼ 出 願 昭62(1987)7月24日  
㊽ 出 願 昭62(1987)7月24日  
㊾ 出 願 昭62(1987)7月24日  
㊿ 出 願 昭62(1987)7月24日

⑩ 公開 昭和64年(1989)1月31日

寄支請求 未請求 発明の段 1 (全5頁)

⑪ 発明の名称 記憶システム

⑫ 特 願 昭62-185253

⑬ 出 願 昭62(1987)7月24日

⑭ 発 明 者 熊 谷 多 加 史 神奈川県荏賀市堀山下1番地 株式会社日立製作所神奈川工場内

⑮ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯ 代 理 人 弁理士 鈴木 誠

明 細 書

1. 発明の名称

記憶システム

2. 特許請求の範囲

(1) 主記憶装置と副記憶装置のアクセス制御を行う記憶制御装置とからなる記憶システムにおいて、副記憶装置と記憶制御装置に共通のクロックを供給すると共に、副記憶装置は、主記憶装置内のメモリ素子の動作特性を示す情報を検出する手段と、前記クロックを使用してメモリ素子の読取信号、読取データのパケット信号を生成する手段と、これらの信号を前記記憶制御装置に送付する手段を備えていることを特徴とする記憶システム。

3. 発明の詳細な説明

(発明の利便性)

本発明は主記憶装置とそれのアクセス制御を行う記憶制御装置よりなる記憶システムに係り、特に、副記憶装置のアクセス制御を容易にし、しかも記憶装置やメモリ素子の動作特性に対して柔軟性を与えるのに好

適な記憶システムに係る。

(従来の技術)

従来の電子計算機においては、例えば特開昭57-10193,7号公報の記載のように、主記憶装置に、主記憶装置(以下MSと略す)を制御する記憶制御装置(以下SCUと略す)あるいはSCUより命令やデータを受取って実行する命令プロセッサ(以下IPと略す)を使用するクロックに対し、独立のクロックを供給していた。これは、MSのクロックは、MSで使用するRAM等の記憶素子の動作特性によって決定されることによる。

SCUとMS間のインタフェースの間では、SCUがMSに対して読取信号とアクセスの情報を示した信号を送出し、MSでその処理が行われると、MSはSCUに対して完了信号を行っている。他には、SCUがMSの読取の制御信号を行う方法がある。これは、SCUがMSに対して読取信号を送出した後、アクセスの情報により、対応するSCUでカウントし、一定時間が経過すると、

SCUからMSに対して、データ送受の要求をする信号を送出して、管理するものである。

一方、SCU、IPの動作状態、つまりマシンサイクルを可変にしたり、あるいは動作状態の異なるMSを接続したりすることがある。この時、上記、SCUがMSを管理する方法を定める場合、動作状態の異なるSCU内に接続し、SCUとMSのインタフェースを可変として対応する方法等が考えられている。

【動作が開始しようとする同位点】

最初、最初にデータの送受、送込みを管理することを行うことが可能なメモリが提供されている（例えば、ニブルワードとか高速バースード）。また、動作で使用するデバイス状態の遷移により、より高速にMSをアクセスする回路が提供されている。しかしながら、上記の動作状態のように、SCUとMSにおいて同様のクロックを揃えている場合、上記の高速メモリを使用して高速にアクセスしようとしても、SCUとMSが非同期のため、動作が正常であるという問題があった。

本発明の目的は、正確にメモリをアクセスすることが可能で、さらに、マシンサイクルの異なる、あるいは動作状態の異なるメモリ間の接続に用いて動作状態が異なるシステムを接続することにある。

【問題点を解決するための手段】

上記の目的は、SCUとMSのクロックを同期化し、MSのメモリ端子を制御する信号、あるいは、データをセットする信号等を上記クロックを使用して生成するとともに、上記信号等をマシンサイクルあるいはメモリ端子の動作状態を基準時間により可変とする手段をMS内に設けることにより達成される。

【作 用】

MS内のメモリ端子の制御信号、データのセット信号等を、SCUと同じクロックを使用して、生成することにより、SCUとの同期化動作が実現になる。従って、送受の動作は、メモリ端子からデータが出力され、これをMS内ラッチにセットし、SCU内ラッチへ送受する動作を順次行

うことが可能となり、送込みの場合、SCU内のラッチからMSのラッチへデータを順次ラッチで送出し、これをメモリ端子へ送込むことが可能となる。さらに、上記信号を信号の同期、サイクル数で送受できるようにすることにより、マシンサイクル、あるいはメモリ端子の動作状態に合わせた信号を生成でき、使用するメモリ端子に動作状態を伝えることが可能となる。

【実 施 例】

以下、本発明の一実施例について図面により説明する。

図1は本発明の一実施例のブロック図を示す。1はCPUプロセッサ（IP）、2は入出力プロセッサ（IOP）、3はSCU、4はMS、5はIP、1、IOP、SCU、MSからラインング信号を送出するクロック線である。

10はIPからのリクニストと受取リクニストスタック（IPRQ）、11はIOPからのリクニストと受取リクニストスタック（IOPRQ）、12はIPからのストアデータと受取データラッチ（IPSD）、13はIOPからのストアデータと受取データラッチ（IOPSD）である。14はMSからの受取データラッチ（MRD）、15はMSからのストアデータと受取データラッチ（MSD）である。16はMSからSCU3のリクニストと受取リクニスト（SRC）である。50はSCU3を制御するSCUコントロールユニット（SCR）である。

20はSRC15から送られたリクニストをMS4で受取るラッチ（MRQ）、21はMS5015から送られたストアデータと受取ストアデータラッチ（MSD）である。22-25は受取るメモリ端子の動作状態を基準時間としたストアデータラッチ（SDR0-3）、26-29は同じくストアデータラッチ（FOR0-3）である。30はSCU4へフエックデータを送受するためのラッチ（MFC）である。40

はMS4で受取るラッチ（MRQ）、21はMS5015から送られたストアデータと受取ストアデータラッチ（MSD）である。22-25は受取るメモリ端子の動作状態を基準時間としたストアデータラッチ（SDR0-3）、26-29は同じくストアデータラッチ（FOR0-3）である。30はSCU4へフエックデータを送受するためのラッチ（MFC）である。40

43C. FDR0-3 (22-24). FDR0-3 (26-29) の各々のラッチとMCビットをセットするようにメモリを配列した。メモリはRAM0-3 (40-43) である。51はMSコントローラとMSコントローラユニット(MCR)である。60-63はFDR0-3 (22-24) をセレクトするセレクト番号。64はRAM0-3を制御する番号。65はFDR0-3 (26-29) をセレクトする番号。66はFDR0-3 (26-29) のどのラッチのデータを選択するかをセレクトする番号である。SCU3とMS4はMCクロック回路5を使用している。MS4内の4ラッチをセレクトする番号60-63はMS4のセレクト番号である。またMS4内の制御番号66は、全てのクロック回路5を使用して生成される。従って、SCU3とMS4の両方で同期化を行うための同期は必要ない。

次に、第1図の図表と第2図のタイムチャートとを比較して説明する。

-7-

MS1によって、リクエストに成功した制御番号64を生成する。第2図の図表に、CAS200. CAS201の値の通りである。RAM0-3 (40-43) に同時にアクセスされ、データが出力される(202)。セレクト番号65により、FDR0-3 (26-29) に、同時に読み出しデータがセレクトされる(203-208)。次にセレクト番号66により、MFD30へ1マシンサイクルで、データを送る(207)。FDR0-3 (26-29) の全てのラッチ内のデータがMFD30へ送られると、CAS番号201により、生成したアドレスのデータが生成され、MUFDR0-3 (25-29) へセレクトする。このようにして生成したデータを1マシンサイクルで、高速に読み出すことが可能である。MFD30のデータに、MCに1マシンサイクルでSCU3のSFD14Fに送られる(208)。

第3図に第1図のMCR31内の一部の制御番号と、300は2ビットのカウント。301

第2図のタイムチャートに、第3図の図表を参照している。第2図に、200. 201は第1図の制御番号64に送られるもので、HAY. CASを参照している。タイムチャートに、-図に示されているニブルモードの動作を示すものである。つまり、CAS200. CAS201により、-図に示す7ビットのデータが出力される。そのCAS201のデータだけで、生成したアドレスのデータが高速にアクセスされるものである。202は第1図のRAM0-3 (40-43) のデータ出力。203-208は第1図のFDR0-3 (26-29) の制御を示している。MCに207は第1図のMFD30. 208はSFD14の制御を示している。

SCU3はIF1. IOF2からのリクエストとIFREQ10. IOREQ11にスラックする。SCRS0でこれらのリクエストの優先順位をとり、一つのリクエストを選択してSRQ18にセットし、MS4に送る。MS4は、SCU3とリクエストをMRJ20で受け取り、MC

-8-

はデコード。302はT0のタイミングでデータを送るフリップフロップ(FF)。同じく303-305はT1-T3のタイミングのFF。306-308はサイクル数とセレクト番号を保持するラッチ(CO-C3)。310-313はクロックの生成とリセットを制御するラッチ(T0-T3)。314. 315はセレクト。316はANDゲート。317はNOTゲート。318-319はセレクトリセットタイプ(SR)のFFである。

ここで、第2図のCAS201の値を生成するものと、SRFF318. 319にCASSSET番号が入力されると、SRFF318. 319が"1"にセットされる。CASSSET番号は、同時にカウンタ300をリセットする。SRFF318が"1"にセットされると、この出力は、ANDゲート316に入力され、次のタイミングでカウンタ300の入力に入力され、+1カウントアップされる。同時に、SRFF319の出力は、デコード303にカインプが入力

に入力される。これにより、カウンタ300の出力は、デコーダ301でデコードされ、C0-C3(306-309)の出力信号により、セレクタ314でコンタクトされる。例えばC0="1"であれば、0.マイクロ秒にセレクタ314から"1"が出力され、C1="1"であれば、1.マイクロ秒にセレクタ314から"1"が出力される。セレクタ314の出力は、T0回路のP.F.302に入力されると同時に、SRFF318をリセットする。これにより、カウンタ300は、カウンタアップを止める。T0-T3(310-313)の出力信号により、どの位置で出力するかをセレクタ313でセレクトする。この信号をNOTゲート317で反転させる。これは一般にTAS、CASに、A回路でメモリ周子に与えられるのである。CASRESET信号がSRFF319に入力されると、SRFF319の出力は"0"となり、デコーダ301のA-プル入力に"0"となり、デコーダ301の出力は全て"0"となるため、TASの出力も"0"となる。

11.

以上説明したように、本発明によれば、SCUとMSで、同じクロックを使用したことにより、SCUとMS間で同期させる必要がなくなり、高度なメモリ周子を使用した時でも同期が簡単になり、MSを簡単にアクテスすることが可能となる。また、MSはメモリ周子の制御信号を任意のマイクロ秒、任意で選出できる利便性があることにより、マシンサイクルの異動や、異なる動作状態のメモリ周子の選択に対して柔軟性を与える効果がある。

#### 4. 効果の明らかな説明

図1図は本発明の一実施例のブロック図、図2図は図1図の動作を説明するタイムチャート、図3図は図1図のMSコントロールユニットで実施される動作の具体的な構成図、図4図は図3図の動作を説明して異なるマシンサイクルのメモリ周子に適合した時のタイムチャートである。

- 1-メモリプロセッサ(MP)。
- 2-入出力プロセッサ(IOP)。
- 3-主制御装置(SCU)。

12.

このようにして、図4図の異なるマシンサイクルの動作で、出力することである。

図4図にマシンサイクルが異なるSCUに同じ動作状態のメモリ周子を選択する時、図3図で示す同期回路を利用してTAS信号を生成する場合のタイムチャートを例示したものである。図4図で400、402はTAS、401、403はTASを示してあり、図4図(b)のマシンサイクル、図4図(a)の2倍としている。一般にTASからTASのディレイタイムTRCDは、メモリの動作状態として定められており、従ってマシンサイクルが異動しても、TRCに同じ値にしない必要はない。図4図(a)では、TAS信号401は、図3図のC3(309)="1"、T0310="1"にすることにより、図の通りのタイムチャートとなり、図4図(b)では、TAS信号403は図3図のC1(307)="1"、T2(312)="1"と設定することにより、図の通りのタイムチャートが得られる。

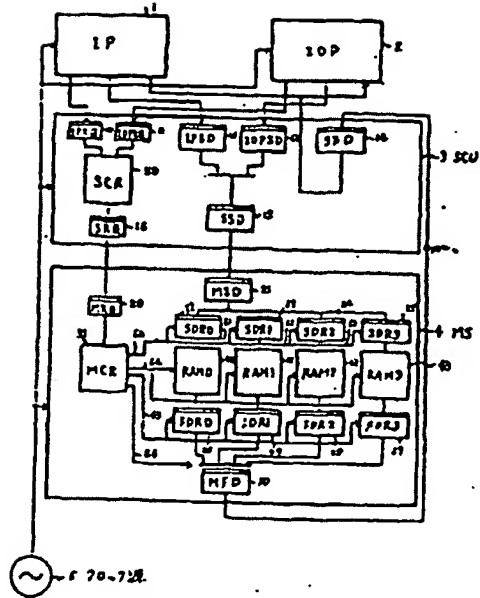
(発明の効果)

12.

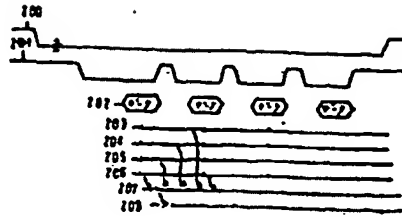
- 4-主制御装置(MS)。
- 5-クロック回路。
- 50-SCUコントロールユニット。
- 51-MSコントロールユニット。

代理人 井上 正 司

К 1

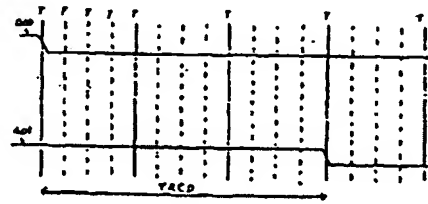


К 2

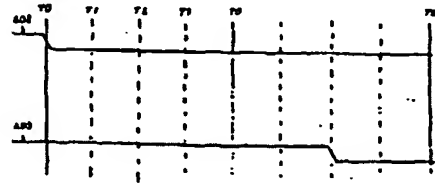


К 4

(2)



(1)



К 3

